

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,
please do not report the images to the
Image Problems Mailbox.**

⑫ 公開特許公報(A)

平4-22886

⑤ Int. Cl.⁵

識別記号

庁内整理番号

④ 公開 平成4年(1992)1月27日

G 01 R 31/26
H 01 L 21/66
27/04
H 03 K 17/00

G 8203-2G
F 7013-4M
T 7514-4M
J 9184-5J

審査請求 未請求 請求項の数 1 (全5頁)

⑥ 発明の名称 半導体入出力回路

⑦ 特 願 平2-126885

⑧ 出 願 平2(1990)5月18日

⑨ 発 明 者 大 蔵 一 真 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内⑩ 発 明 者 平 本 行 雄 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内⑪ 発 明 者 諸 岡 宏 昭 神奈川県横浜市神奈川区宝町2番地 日産自動車株式会社
内

⑫ 出 願 人 日産自動車株式会社 神奈川県横浜市神奈川区宝町2番地

⑬ 代 理 人 弁理士 三好 秀和 外1名

明 細 書

1. 発明の名称

半導体入出力回路

2. 特許請求の範囲

外部端子に接続した信号線に一方の電極が接続され、他方の電極が電源端子あるいは接地端子に接続されるコンデンサを少なくとも1つ含む集積化された半導体入出力回路において、

前記コンデンサの電源端子あるいは接地端子に接続されるべき電極を外部端子に接続することを特徴とする半導体入出力回路。

3. 発明の詳細な説明

〔発明の目的〕

(産業上の利用分野)

この発明は集積化された半導体入出力回路の試験方法に関する。

(従来技術)

従来の半導体入出力回路(入力保護回路)としては、例えば、特願昭63-143652号公

報がある。第10図に、その構成を示す。

これは、外付けの保護抵抗22とモノリシックIC(半導体入力保護回路21)内に、作り込まれたコンデンサ23とによって決まる時定数でフィルタリングすることによってノイズを除去するようになっている。

IC製造工程での不良によりコンデンサができていない(機能していない)とするとフィルタが構成されず、ICの機能が果せなくなることが考えられる。そのために、コンデンサが確実にできているかどうかを出荷前の検査でチェック(測定)する必要がある。

(発明が解決しようとする課題)

しかしながら、このような従来の半導体入出力回路にあっては、コンデンサのチェックは抵抗を外付けし、フィルタが構成されているか、どうかを確かめるほかなく、また、IC内部のコンデンサとしては、せいぜい数pF程度であり、テスト装置やパッケージ浮游容量との区別がしにくいため、IC内部のコンデンサが確実にできてい

るか、どうかの判断が困難であるという課題があった。

この発明は、このような従来の課題に着目してなされたもので、コンデンサの電源接続あるいは接地端子をIC外部に引き出し、テスト時に、そこから信号を印加し、コンデンサによる微分波形を観測することにより、コンデンサの有無を確実に判断し、もって上記課題を解決することを目的としている。

[発明の構成]

(課題を解決するための手段)

上記目的を達成するために、この発明は、外部端子に接続した信号線に一方の電極が接続され、他方の電極が電源端子あるいは接地端子に接続されるコンデンサを少くとも1つ含む集積化された半導体入出力回路において、前記コンデンサの電源端子あるいは接地端子に接続されるべき電極を外部端子に接続した半導体入出力回路を構成した。

(作用)

この発明の半導体入出力回路を採用すること

通常時は入力端子101に保護抵抗を接続し、保護抵抗とコンデンサ107とによって決まる時定数のフィルタが構成される。

この際、テスト端子103は電源に接続あるいは接地する。したがって、入力された信号はフィルタを通過した後、波形整形回路108で波形整形され、出力端子102から出力される。

つづいてテスト動作を説明する。テスト時は、テスト端子から方形波が入力する。その信号はコンデンサ107で微分され、クランプされた波形が入力端子101から観測でき、したがってコンデンサ107の存在が確かめられることになる。問題となる浮游容量はコンデンサ107の微分作用とは区別できる。

第3図にテスト端子から入力する方形波と入力端子101から観測できる微分波形の状態を示す。

また、入力端子101から方形波を入力し、テスト端子103から微分波形を観測することも当然考えられる。

第2図に、第2実施例を示す。

により、コンデンサの電源端子あるいは接地端子に接続されるべき電極を外部端子に接続するという構成としたため、テスト時に、そこからパルスを印加し、微分波形を観測することにより、小容量のコンデンサの有無をテスト装置やパッケージなどの浮游容量の影響なしに確実かつ容易にチェック(測定)することができる。

(実施例)

以下、この発明を図面に基づいて説明する。

第1図は、この発明の第1実施例を示す図である。まず、その構成について説明する。

100はモノリシックな半導体入力保護回路、101は入力端子、102は出力端子、103は外部端子としてのテスト端子、104、105は過電圧入力保護のための電圧クランプ用ダイオード、106はプルアップ抵抗、107は高周波ノイズ除去用のコンデンサ、108は波形整形回路である。

次に作用を説明する。まず、通常動作を説明する。

これは入力が複数ある場合である。このように入力が複数あってもテスト端子は共通に一つあればよい。

つまり、テスト端子203から方形波を入力すれば、入力端子101、201から同時に微分波形が観測でき、コンデンサ107、207のチェックが可能となる。

通常時は第1実施例と同様に、各入力端子101、201に保護抵抗を接続し、テスト端子203を電源に接続するか、接地すればよい。

また、第1実施例と同様に、テストの際、入力端子側から方形波を入力し、テスト端子103から微分波形を観測することも可能である。

第4図に、この発明の第3実施例を示す。この実施例は、この発明を出力回路に応用したものである。半導体出力回路300は出力バッファ309を含んでいる。この出力回路300から発生するノイズを少なくするために、出力バッファ309に容量を付加し、信号をなまらせることが考えられる。この際の付加容量のチェックも他の実施

例と同様に行うことができる。つまりテスト時には、テスト端子303から方形波を入力し、出力端子302から微分波形を観測すればコンデンサ307のチェック(測定)ができることになる。

第5図に、この発明の第4実施例を示す。

まず、構成を説明すると、一方の電極を入力端子Aに、他方の電極をスイッチ7の入力S₁に接続した検査用内蔵抵抗6と、2つの入力のうち、一方の入力S₁に半導体の入力端子Aを、他方の入力S₂に検査用内蔵抵抗6に接続したスイッチ7と、スイッチ7の出力とアースの間に接続されたコンデンサ1とを有する。

次に、第6図、第7図によって第5実施例の作用を説明する。第6図は通常動作時を示し、第7図は検査時の回路図である。

通常動作時はスイッチ7をS₁に接続し、内蔵抵抗6に関係なく外付抵抗3と内蔵コンデンサ1による時定数で高周波雑音を除去する。

検査時にはスイッチ7をS₂に接続し、外部抵抗は用いず内蔵抵抗6と内蔵コンデンサ1による

時定数により、内蔵コンデンサ1の容量を測定する。

なお、通常動作時に外付抵抗3を用いる理由は、高電圧の雑音が直接半導体の入力端子に印加され、ラッチアップまたは絶縁破壊などを引き起こすことを避けるためである。

次に第8図に示す第6実施例について説明する。

この実施例は、オンオフ・スイッチ8を検査用内蔵抵抗6と並列に接続し、検査時はスイッチ8をオフにし、抵抗6とコンデンサ1で時定数が発生するようにし、通常動作時はスイッチ8をオンにし、抵抗6の影響を受けなくする。

次に、第9図によって、この発明の第7実施例を説明する。

まず、構成を説明すると、IC(半導体)の入力端子と、内蔵コンデンサ12の一方の電極に接続されたスイッチ11と、前記スイッチ11の他方の端子とアース間に接続された前記内蔵コンデンサ12によって構成される。なお図中、13は外付抵抗、14は浮游容量、15はロジック回路

である。

次に作用を説明する。

通常動作時は、スイッチ11をオン(接続)状態とし、内蔵コンデンサ12と外付け抵抗13による時定数で高周波雑音を除去する。

また、検査時には、まず、スイッチ11をオフ状態とし、内蔵コンデンサ12を切り離し、外付け抵抗13と浮游容量14の時定数にて周波数計測を行い、イニシャル値とする。

次に、前記スイッチ11をオン状態とし、外付け抵抗と内蔵コンデンサ12(+浮游容量14)の時定数にて周波数計測を行い、イニシャル値と比較することにより、内蔵コンデンサ12が確実に作られているか、否かの判断ができる。

以上、本発明の実施例を図面により詳細に説明してきたが、具体的な、この実施例に限定されるものではなく、本発明の要旨を逸脱しない範囲における変更等があっても本発明に含まれるものである。

[発明の効果]

以上説明してきたように、この発明によれば、コンデンサの電源接続端子あるいは接地接続端子をIC外部に引き出すという構成としたため、テスト時に、そこからパルス印加し、微分波形を観測することにより、小容量のコンデンサの有無をテスト装置やパッケージなどの浮游容量の影響なしに確実に容量にチェック(測定)できるという効果が得られる。

また、第2実施例では上記の効果に加えて、さらに、以下のような効果が得られる。つまり、入力保護回路が複数個含まれるICでも、テスト端子は1つでよく、かつ、そのテスト端子にパルス波形を入力すれば、同時に複数の入力保護コンデンサのチェックが可能になるという効果がある。

4. 図面の簡単な説明

第1図は本発明の第1実施例を示す回路図、第2図は第2実施例を示す回路図、第3図は本発明のテスト時の入力波形と観測波形の様子を示す波形図、第4図は、この発明を出力回路に応用した第3実施例を示す図、第5図は第4実施例を示す

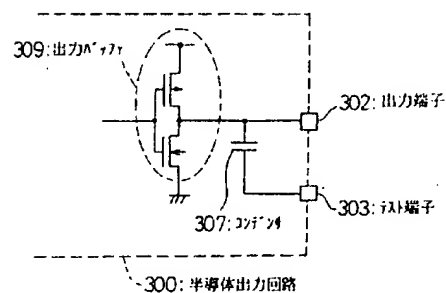
回路図、第6図は第4実施例の通常動作時を示す回路図、第7図は第4実施例の検査時を示す回路図、第8図は第5実施例を示す回路図、第9図は第6実施例を示す回路図、第10図は従来の半導体入出力回路を示す図である。

- 6 … 検査用内蔵抵抗
- 14 … 浮游容量
- 100 … 半導体入出力回路
- 101 … 入力端子
- 102 … 出力端子
- 103 … テスト端子
- 104, 105 … ダイオード
- 107 … コンデンサ
- 108 … 波形整形回路

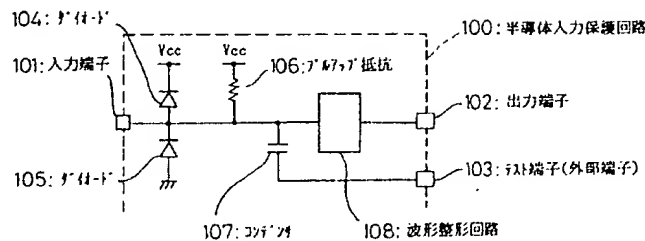
代理人 弁理士 三 好 秀 和



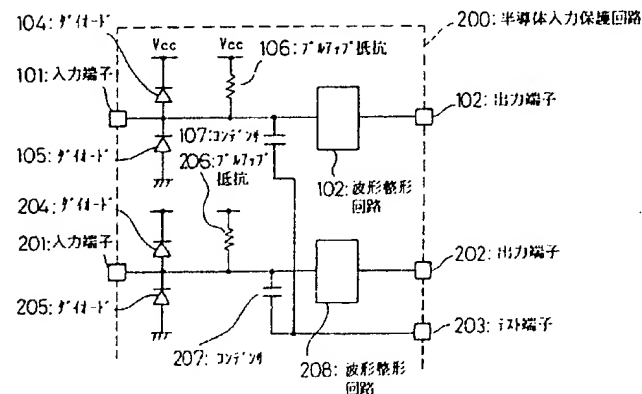
第3図



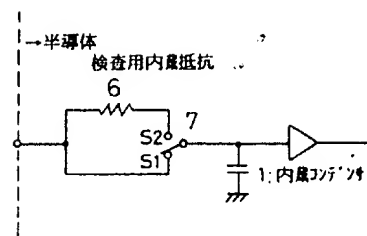
第4図



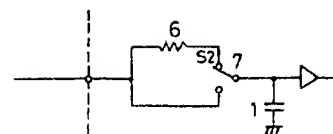
第1図



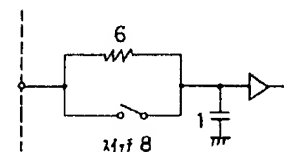
第2図



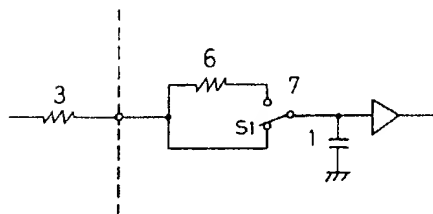
第 5 図



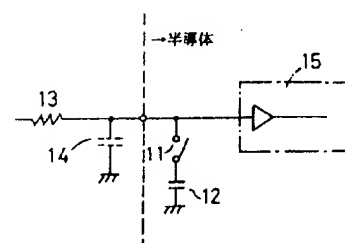
第 7 図



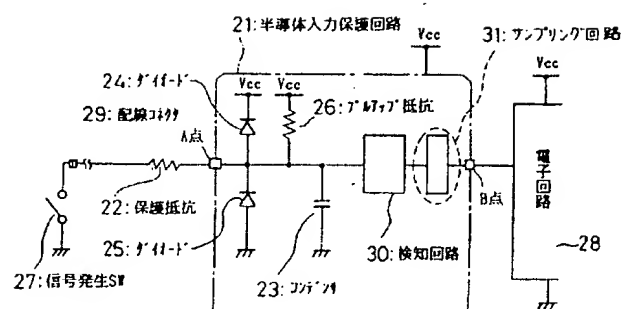
第 8 図



第 6 図



第 9 図



第 10 図